بسم الله الرحمن الرحیم

ریز پردازنده

جلسه سوم و چهارم

کارشناسی سخت افزار ترم ۲

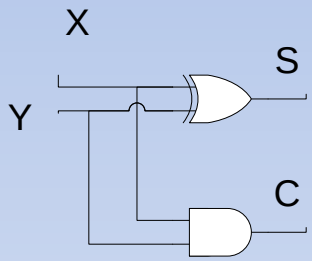
مهدیه نیری

مدار half adder

- ۱. کد vhdl مدار half adder را بنویسید؟
- برای نوشتن کد half adder باید به عملکرد half adder مسلط باشید. Half adder دو ورودی و دو خروجی دارد. دو ورودی را با هم جمع می کند و خروجی آنها sum و carry است. Sum نشان دهنده مجموع دو ورودی و carry رقم نقلی است . سپس با کشیدن جدول کارنو عملکرد half adder بدست می آید.

half adder مدار

Y	X	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



$$S = XY' + YX' = X \oplus Y$$

C=XY

half adder مدار

- Library ieee;
- .use ieee.std_logic_1164.all;
- Entity half adder is
- Port (x,y: in std_ logic;
- S,Cout: out std_logic;
- END half adder;

Half adder

- Architecture logic of half adder is
- Begin
- S <= x xor y;
- Cout <= x and y;
- End logic;

Full adder

- ۱. کد vhdl مدار Full adder را بنویسید؟
- Full adder سه تا ورودی و دو تا خروجی دارد. سه تا ورودی ها را با هم جمع می کنیم و خروجی آن s می شود و رقم نقلی هم در cout ذخیره می شود.

full adder مدار

X	Y	Z=Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

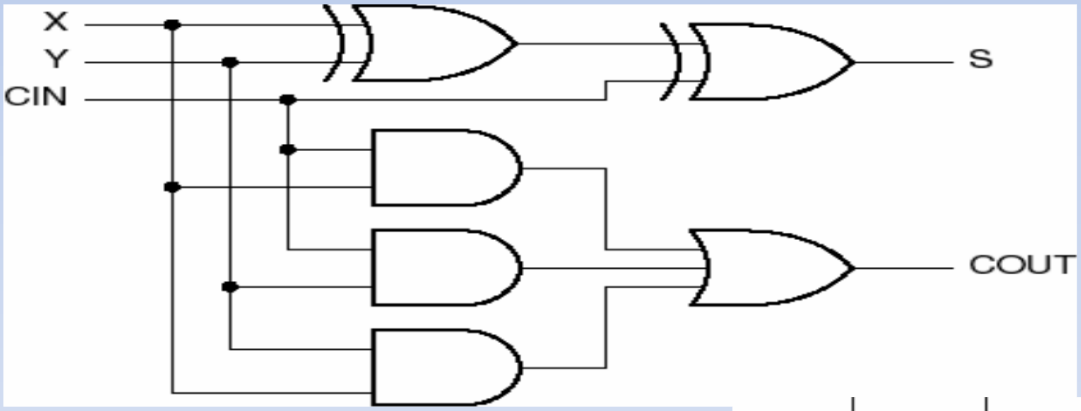
٠	١	٠	١
١	٠	١	٠

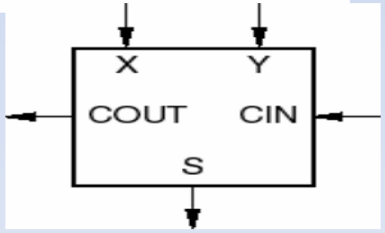
$$S = X'Y'Z + X'YZ' + XY'Z' + XYZ =$$
$$Z(X'Y' + XY) + Z'(X'Y + XY') =$$
$$Z \oplus (X \oplus Y)$$

۰	۰	۱	۰
۰	۱	۱	۱

$$C=XY+XZ+YZ$$

Full-adder circuit





full adder مدار

- Library ieee;
- .use ieee.std_logic_1164.all;
- Entity full adder is
- Port (x,y, Cin: in std_ logic;
- S,Cout: out std_logic;
- END full adder;

Full adder

- Architecture logic of full adder is
- Begin
- S <= x xor y xor Cin;
- Cout <= (x and y) or (x and Cin) or (y and Cin);
- End logic;

تمرین

- کد گیت and دو ورودی را بنویسید که هر کدام از ورودی ها ۴ بیت هستند؟
- کد مدارات شکل زیر را به زبان vhdl بنویسید؟ هر کدام از ورودی ها تک بیتی هستند.