بسم الله الرحمن الرحیم

ریز پردازنده

جلسه ششم

کارشناسی سخت افزار ترم ۲

مهدیه نیری

فهرست مطالب

- ۱- طراحی مدار با vhdl
- ۲- طراحی مدار با روش ارجاع انتخابی به طور نمونه برنامه مالتی پلکسر
- ۳- برنامه مدار مالتی پلکسر با en

طراحی مدار

- مدارات ترکیبی: در محیط concurrent توصیف می شود.
- مدارات ترتیبی : در محیط process تعریف می شود.

ابتدا مدارات ترکیبی را در این قسمت بررسی می کنیم که به دو صورت طراحی می شود.

۱- عبارت ارجاع انتخابی:

Selected signal assignment

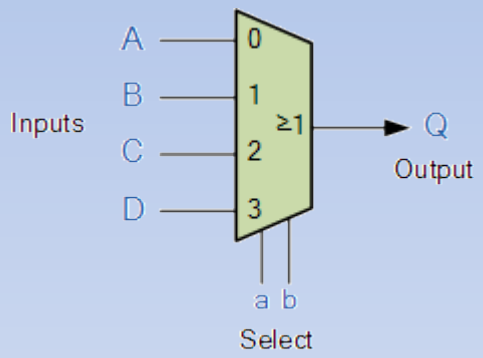
۲- عبارت ارجاع شرطی:

Conditional signal assignment

عبارت ارجاع انتخابی

- مثال : کد مالتی پلکسر ۴*۱ در زبان vhdl بنویسید.

S1(a)	S0(b)	F
0	0	A
0	1	B
1	0	C
1	1	D



برنامه مالتی پلکسر

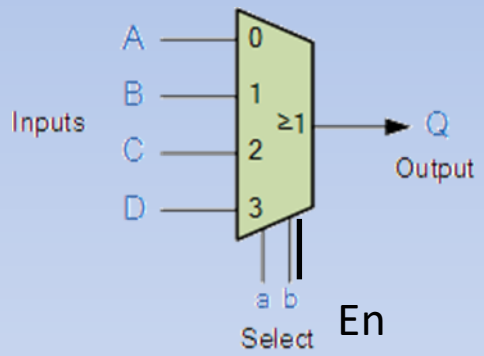
```
Library ieee;
.use ieee.std_logic_1164.all;
Entity MUX is
Port ( A: in   std_ logic;
            B:in    std_logic;
            c:in     std_logic;
            D:in    std_logic;
            S: in    std_logic_vector(1 downto 0);
            F: out  std_logic);
END MUX;
```

برنامه مالتی پلکسر

- Architecture logic of MUX is
- Begin
- With S select
- F <= A when “00”,
- B when “01”,
- C when “10”,
- D when others;
- End logic;

کد mux 4*1 با En

- مثال : کد مالتی پلکسر ۴*۱ با En در زبان vhdl بنویسید.



- Library ieee;
- .use ieee.std_logic_1164.all;
- Entity MUX is
- Port (A: in std_ logic;
- B:in std_logic;
- c:in std_logic;
- D:in std_logic;
- En: in std_logic;
- S: in std_logic_vector(1 downto 0);
- F: out std_logic);
- END MUX;

کد mux 4*1 با En

برای دادن مقدار اولیه به سیگنال از علامت := استفاده می کنیم

- Architecture logic of MUX is
- Signal SEn:std_logic_vector(2 downto 0):="000"
- Begin
- SEn <= S &En;
- With SEn select
- F <= A when "001",
- B when "011",
- C when "101",
- D when "111",
- '0' when others;
- End logic;

SEn: 1 بیت en و ۲ بیت s. در مجموع ۳ بیت است