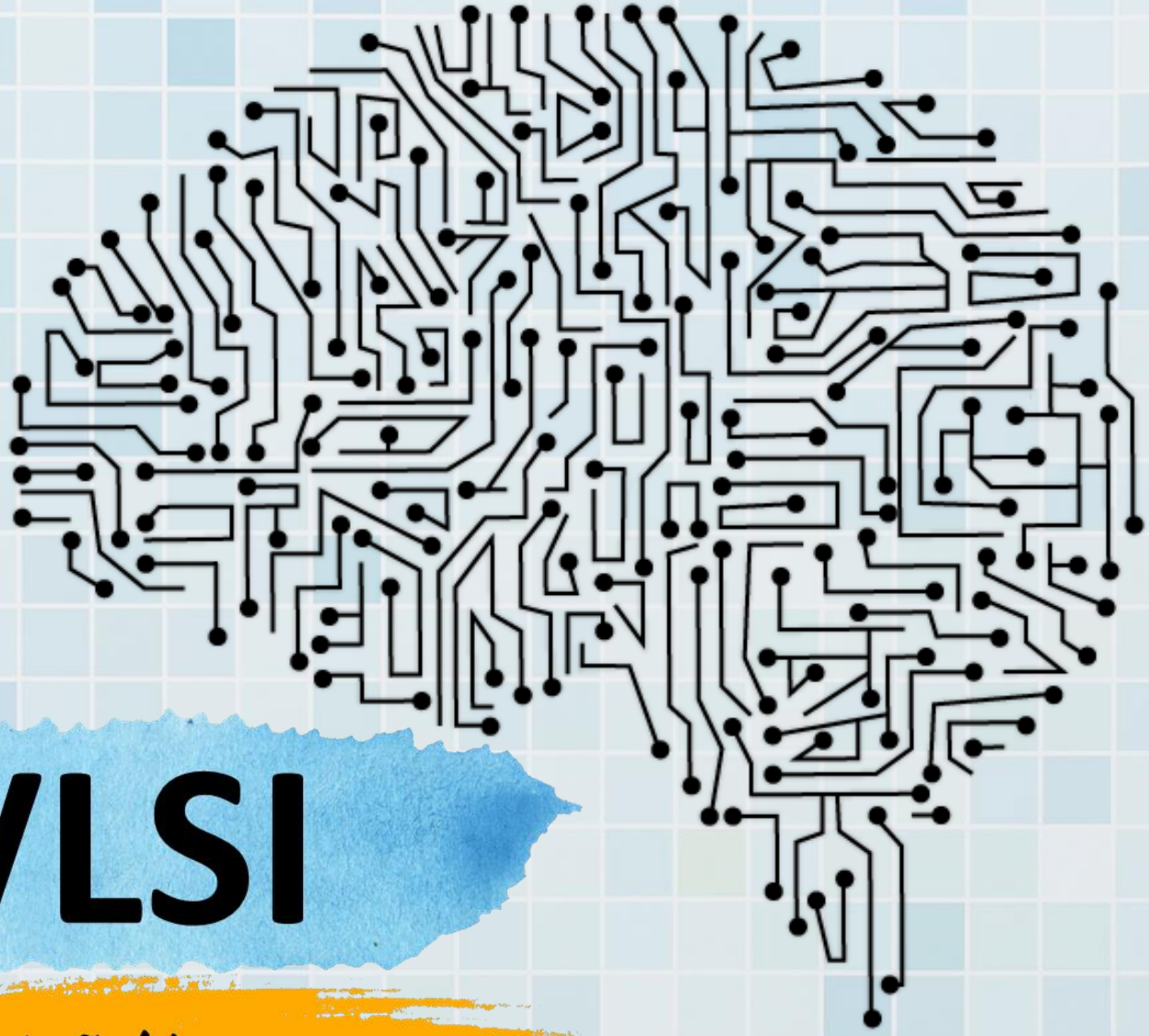
دانشگاه فنی و حرفه‌ای
دختران میبد



VLSI

مدرس: خانم حسینی

جلسه چهارم

دانشگاه فنی و حرفه‌ای دختران میبد

فهرست مطالب جلسه دوم

- معکوس کننده ها
- سمبل مداری
- مشخصه ی VTC
- محدودیت های یک گیت معکوس کننده
- مصونیت در برابر نویز و حاشیه نویز
- توان مصرفی

معکوس کننده ها

دانشگاه فنی و حرفه ای
دختران میبد

از مهمترین گیت های منطقی که در طراحی انواع مدارات منطقی نیازمند وجود آن هستیم،گیت معکوس کننده یا NOTاست در این فصل هدف بررسی ویژگی ها و مشخصات این گیت ساخته شده توسط تکنولوژی CMOSاست .

مهمترین نکته این است که خصوصیات مطرح شده برای این گیت ، قابل اعمال به دو گیت اصلی دیگر NORو NANDنیز می باشد .

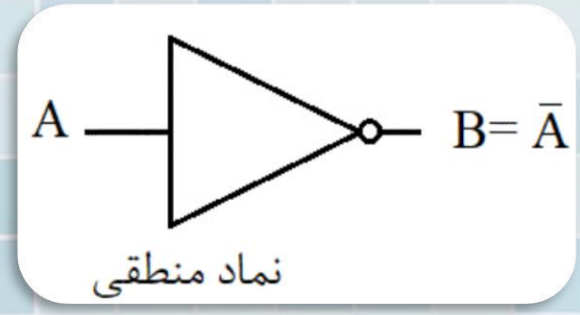
سمبل مداری

دانشگاه فنی و حرفه‌ای
دختران میبد

یک معکوس کننده در توصیف عملکرد خود می تواند از یک سیگنال در سطح " ۱ " یا " ۰ "، به ترتیب " ۰ " یا " ۱ " را در خروجی تولید کند. معمولا این سطوح منطقی نسبت به زمین در نظر گرفته می شوند به طوریکه " ۱ " همان V_{DD} نسبت به زمین و " ۰ " همان V_{SS} یا خوداتصال زمین می باشند . از لحاظ مداری سمبل یک گیت NOTهمراه با جدول ارزش گذاری برای آن در شکل زیر دیده می شود .

A	B
0	1
1	0

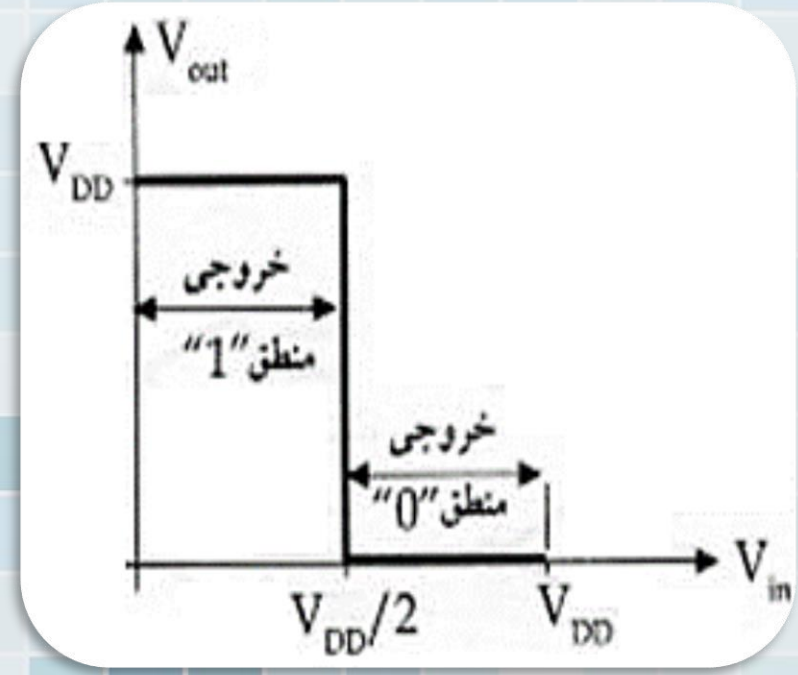
جدول درستی



سمبل مداری گیت NOTو جدول ارزش آن

مشخصه ی VTC

دانشگاه فنی و حرفه ای
دختران میبد



ولتاژ خروجی نظیر به ورودی برای چنین گیتی معمولا از یک سطح آستانه تغییر می یابد ، که نحوه ی این تغییر را می توان براساس مشخصه ای مرسوم به مشخصه ی انتقالی بین ولتاژهای ورودی_خروجی (Voltage Transfer Characteristic) یا در اختصار VTC، ترسیم کرد . نتیجه به صورت شکل روبرو خواهد بود :

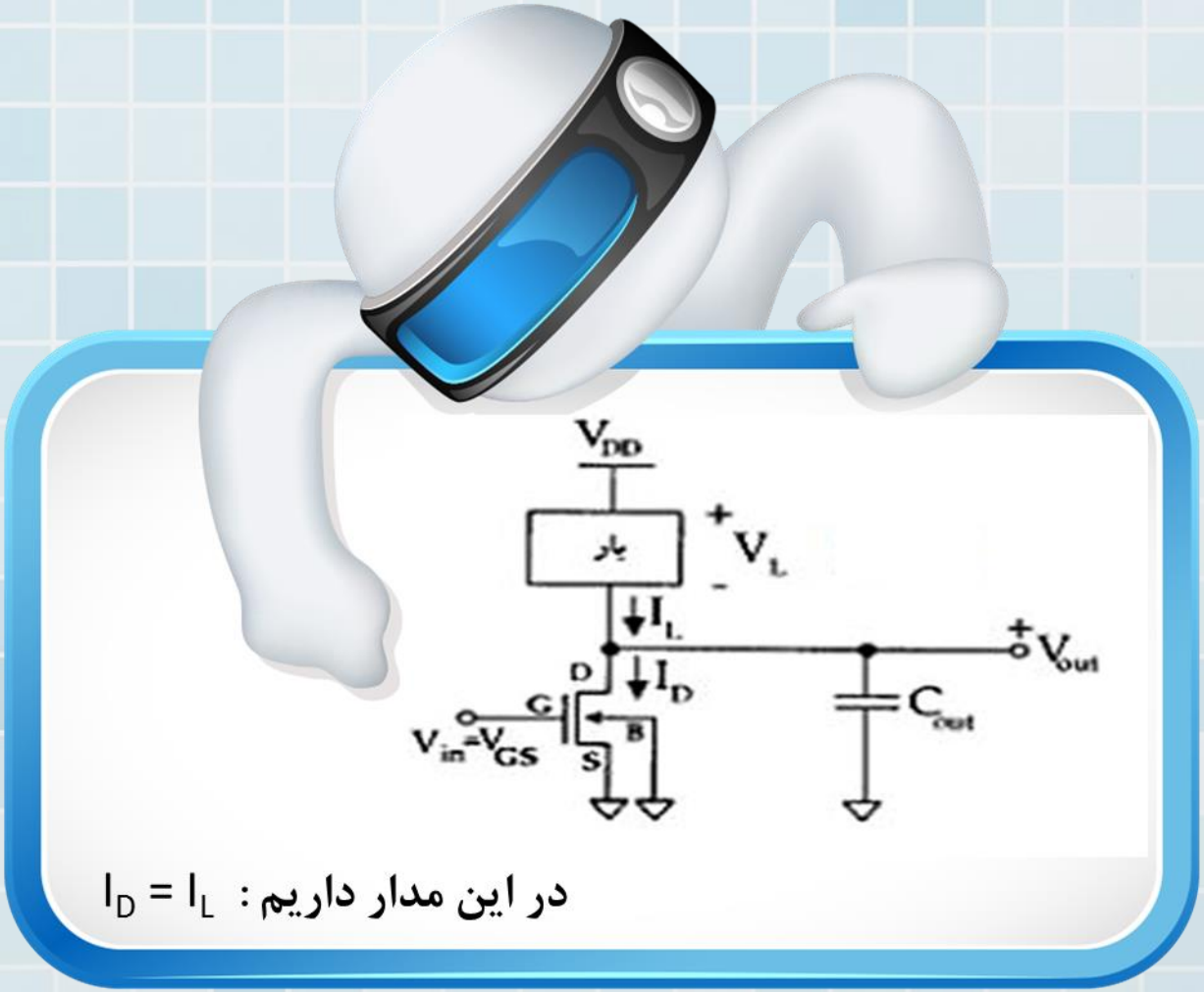
با توجه به شکل اگر ورودی در سطح $0 < V_{in} < \frac{V_{DD}}{2}$ باشد خروجی " ۱ " یا V_{DD} و اگر $\frac{V_{DD}}{2} < V_{in} < V_{DD}$ باشد ، خروجی " ۰ " (V_{SS}یا زمین ، بسته به نوع مدار) خواهد بود .

معکوس کننده عملی . مشخصه ی VTCواقعی

آنچه که تاکنون ذکر شد مشخصات مربوط به یک معکوس کننده ی ایده آل بود ، لیکن در عمل معکوس کننده اندکی متفاوت تر است . در شکل زیریک مدار علمی از یک معکوس کننده ، طراحی شده توسط NMOS، مرسوم به ترانزیستور درایور ، دیده می شود . با توجه به اتصال زمین بودن سورس ترانزیستور ، ولتاژ ورودی $V_{in} = V_{GS}$ و ولتاژ خروجی $V_{Out} = V_{DS}$ هستند . توجه کنید که بدنه نیز اتصال زمین است ($V_{SB} = 0$).

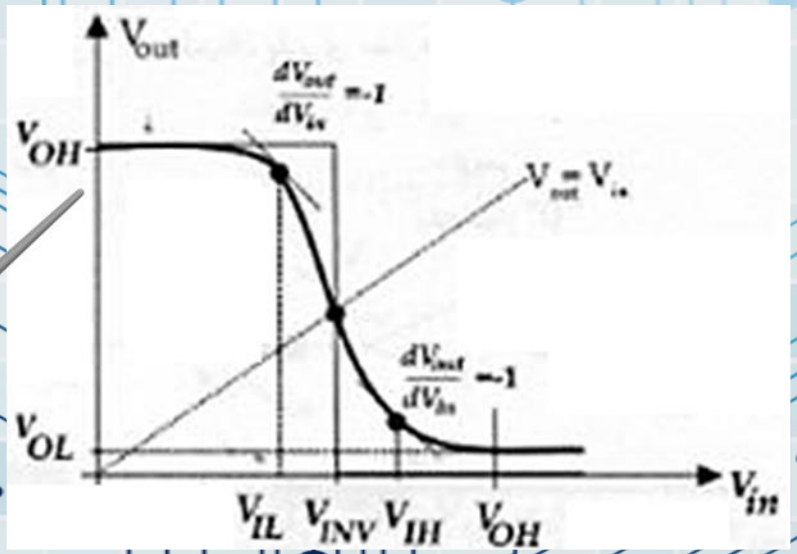
بار در قسمت مربوط به ترمینال درین ، به عنوان مصرف کننده ی مدار قرار گرفته است و ولتاژ و جریان آن ترتیب V_L و I_L است . همچنین با توجه به اینکه معمولا معکوس کننده ، محرک مدار دیگری در خروجی خود است و این مدار دارای یک اثر ظرفیتی خواهد بود مدل معادل آن را با یک خازن C_{out} شبیه سازی نموده ایم . به علاوه هموار جریان گیت در حالت DCصفر است .

معکوس کننده عملی . مشخصه ی VTCواقعی



الف) طرح مداری یک معکوس کنندهی NMOS

با توجه به روابط موجود و وابستگی جریان درین به ولتاژ گیت سورس (V_{GS}) همچنین ولتاژ درین سورس (V_{DS}) ، که به ترتیب V_{in} و V_{Out} می باشند همچنین وابستگی جریان بار به ولتاژ بار بیانگر ارتباط ولتاژ ورودی ، خروجی و بار با یکدیگر نیز است . بدین ترتیب می توان VTCرا که ارتباط V_{in} (مساوی با V_{GS}) با V_{Out} (مساوی با V_{DS}) است ترسیم نمود (توجه کنید که $V_{DD} = V_L + V_{DS}$). نتیجه برای یک ترانزیستور واقعی به شکل ترسیم شده در تصویر زیر خواهد بود .



ب) VTCمتناظر

در سطوح ولتاژ کم ورودی ، ولتاژ خروجی V_{OH} بوده که به منزله ی عدم وجود جریان درون بار ، معادل با ترانزیستور در حالت قطع می باشد . با افزایش سطح ولتاژ ورودی ، خروجی آغاز به کاهش می کند و در واقع جریان درین زیاد می شود . به بیان دیگر ، ولتاژ درین تنزل می یابد .

البته این تنزل ولتاژ به شکل پیوسته بوده و حالت پرش شبیه به گیت ایده آل را ندارد.

دانشگاه فنی و حرفه‌ای
دختران میبد

البته این تنزل ولتاژ به شکل پیوسته بوده و حالت پرش شبیه به گیت ایده آل را ندارد.

الف . مقدار حداکثر ولتاژ خروجی که آن را با V_{OH} نشان می دهیم و همان " ۱ " منطقی در خروجی است .

ب . مقدار حداقل ولتاژ خروجی که آن را با V_{OL} نشان می دهیم و همان " ۰ " منطقی در خروجی است .

ج . حداقل ولتاژ ورودی که هنوز می تواند به عنوان " ۱ " به حساب آید و آن را با V_{IH} نشان می دهیم .

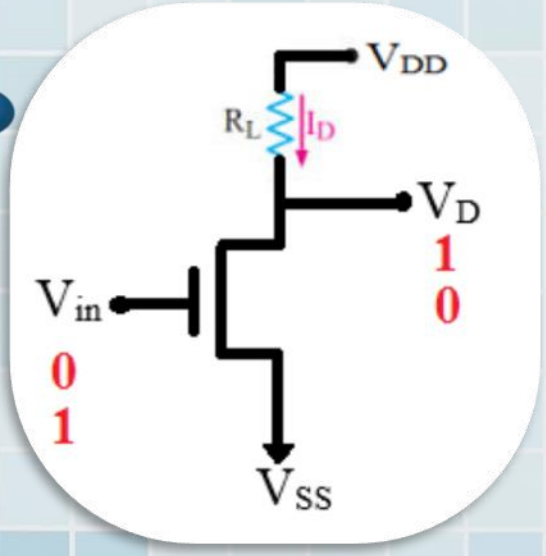
د . حداکثر ولتاژ ورودی که هنوز می تواند به عنوان "۰" به حساب آید و آن را با V_{IL} نشان می دهیم .

ه . ولتاژ گذر از نقطه ی $V_{in} = V_{Out}$ که آن را با V_{INV} نشان می دهیم .

تذکر: توجه کنید که در نقاط بحرانی V_{IL} و V_{IH} رابطه ی $\frac{d V_{Out}}{d V_{in}} = -1$ برقرار است .

گیت معکوس کننده :

همانطورکه یکی از عناصر اصلی برای ساخت مدارهای منطقی معکوس کننده می باشد ؛ از این عنصر برای دست یابی به گیت های NAND، NORو ... مدارهای ترتیبی استفاده کرد .



$$\delta = nq\mu_n + pq\mu_p$$

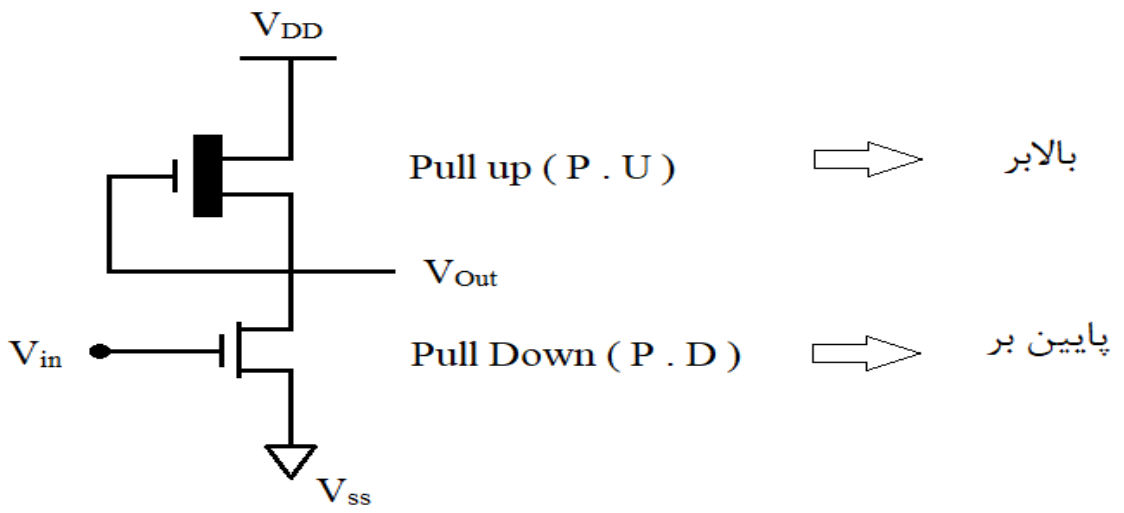
$$\rho = \frac{1}{\delta}(\Omega.cm)$$

$$R=\rho\frac{L}{A}$$

VLSI

دانشگاه فنی و حرفه ای
دختران میبد

در مدار معکوس کننده لازم است از یک ترانزیستور که سورس آن به زمین متصل شده و یک مقاومت بار که بین درین و خط تغذیه قرار گرفته استفاده شود . ورودی به گیت مدار اعمال می شود . در این طرح که از مقاومت استفاده شده عیب اساسی آن این است که مقاومت را نمی توان به آسانی روی بستر ایجاد کرد . حتی مقادیر نسبتا کوچک مقاومت سطح بزرگی از تراشه را اشغال می کند . بنابراین شکل دیگری از مقاومت بار لازم است . یکی دیگر از راه حل های این مسئله استفاده از ترانزیستور تخلیه ای به عنوان بار می باشد .



معکوس‌کننده NMOS با بار تخلیه‌ای

۱- همانگونه که مشاهده می شود ، در ترانزیستور تخلیه ای به کار رفته در این طرح $V_{gs} = 0$ است تا همواره ترانزیستور روشن باشد .

۲- جریان های هر دو ترانزیستور با هم برابرند .

۳- در این آرایش ترانزیستور تخلیه ای ، بالابر و ترانزیستور افزایشی پایین بر نام دارد .

محدودیت های یک گیت معکوس کننده :

در استفاده از یک گیت معکوس کننده ، پارامتر های زیادی را باید مد نظر قرار داد . از میان این پارامتر ها دو عامل از اهمیت ویژه ای برخوردارند. عامل اول مصونیت در مقابل نویز درون محیط و عامل دوم توان مصرفی گیت است .

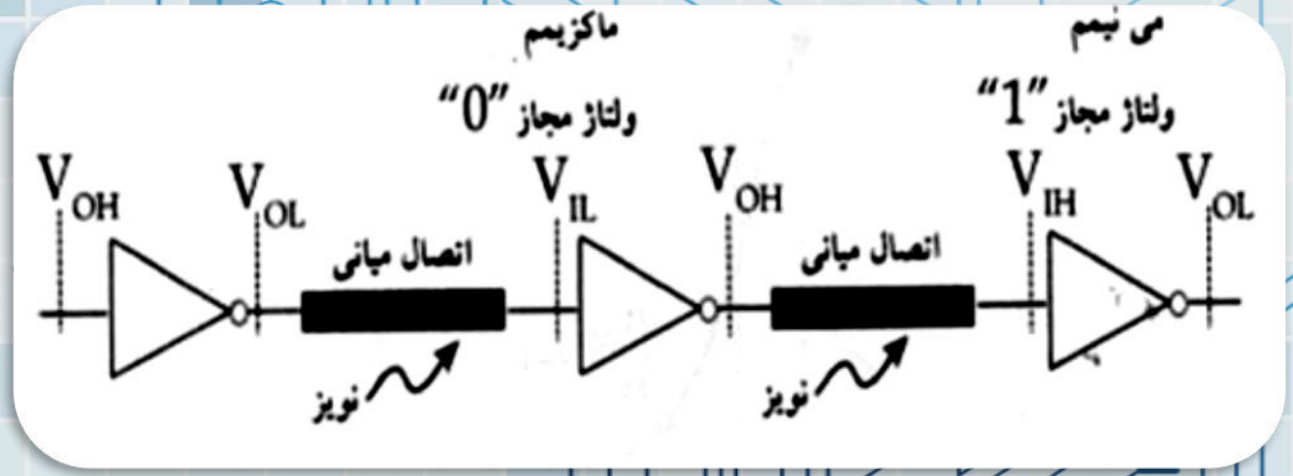
در این قسمت به بررسی عوامل فوق خواهیم پرداخت

۱) مصونیت در برابر نویز و حاشیه نویز

(Noise Immunity and Noise Margin)

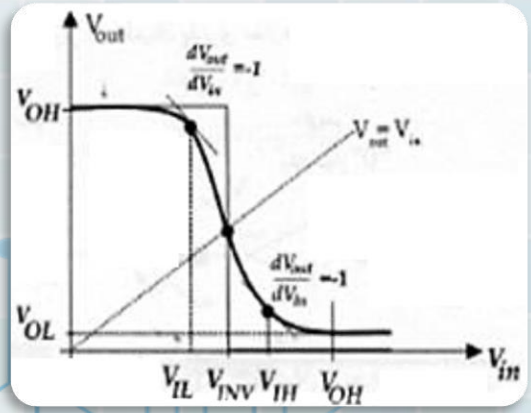
همانطور که ذکر شد از مهمترین عوامل تاثیر گذار بر عملکرد یک گیت می تواند نویز باشد چرا که یک نویز ، هر چند کوچک، توانایی تغییر منطق خروجی یک گیت را به سادگی می تواند ایجاد نماید .

جهت روشن تر شدن موضوع به شکل زیر توجه کنید



نمایش اثر نویز در گیت های معکوس کننده

با مراجعه به نمودار زیر که قبلا هم داشتیم ، توصیف زیر برقرار است:



فرض کنید هر سه معکوس کننده مشابه باشند و ورودی اولین گیت ، V_{OH}یعنی "۱" منطقی باشد . بر اساس مطالب قسمت قبل خروجی آن باید به V_{OL}یا "۰" منطقی تغییر کند . اگر این خروجی توسط خط انتقالی مثل یک سیم یا پلی سیلیکون در درون آی سی به ورودی گیت دوم متصل شود ، می تواند از اثر نویز تاثیر گیرد. بطوریکه با اعمال نویز ، این مسیر اگر ورودی دومین گیت (پس از انتقال) از V_{IL}کمتر یا مساوی باشد، این ورودی هنوز "۰" منطقی برای این گیت بحساب می آید.اما اگراین ورودی از V_{IL}بزرگتر شود گیت دوم عملکرد مناسبی را ارائه نخواهد داد

ولتاژاعمال شده در اثر نویز $+V_{OL} \leq V_{IL}$

$\Rightarrow$ (۱)

ولتاژاعمال شده در اثر نویز $\leq V_{IL} - V_{OL}$

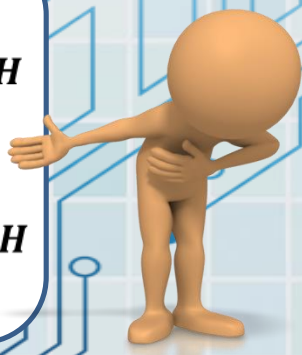
اکنون خروجی گیت دوم را که قرار است "۱" منطقی باشد در نظر بگیرید . در مقابل آن خط انتقالی ، مثل حالت قبل ، این خروجی را به ورودی گیت سوم متصل می کند.اگر نویز این ولتاژ VOHرا طوری تغییر دهد که از VIHبزرگتر یا مساوی باشد ، این ورودی هنوز "۱" منطقی برای این گیت به حساب می آید . اما اگر این ورودی از VIHکمتر شود ، گیت سوم عملکرد مناسبی را نخواهد داشت .

پس باید رابطه زیر برقرار باشد :

$+V_{OH} \geq V_{IH}$ ولتاژاعمال شده در اثر نویز

$\Rightarrow$ (۲)

$\leq V_{OH} - V_{IH}$ ولتاژاعمال شده در اثر نویز



پس با توجه به روابط (۱)و(۲) می توان حداکثری را برای ولتاژ نویز اعمال شده به گیت برای سطح "۱" یا "۰" منطقی تعریف کرد . این فاکتور می تواند به عنوان حاشیه نویز تعریف گردد. به عبارت دیگر :

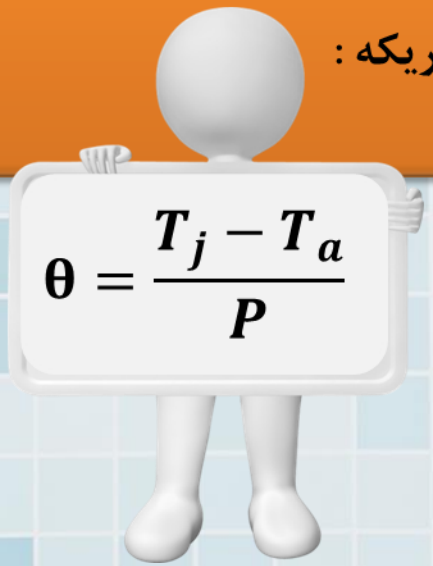
حداکثر حاشیه نویز در سطح پایین $= V_{IH} - V_{OL} = NM_L$

$\Rightarrow$

حداکثر حاشیه نویز در سطح بالا $= V_{OH} - V_{IH} = NM_H$

۲) توان مصرفی:

در تکنولوژی VLSIتعداد گیت های موجود درون یک آی سی ، بسیار زیاد هستند.اگر محاسبات و کنترل توان آنها به دقت انجام نشود ، توان های بسیار زیادی در آنها مصرف شده که حاصل آن دمای بسیار زیاد آی سی خواهد بود . لذا عملا استفاده از خنک کننده های مناسب در مدارات VLSIامری ضروری به نظر می رسد . برای یک نیمه هادی فرض کنید دمای پیوند T_j و دمای محیط اطراف آن T_a باشد. اگر Pمیزان اتلاف کل درون نیمه هادی باشد می توان پارامتر θ را به عنوان مقاومت حرارتی بسته بندی این نیمه هادی تعریف کرد ، به طوریکه :



$$\theta = \frac{T_j - T_a}{P}$$

آنچه که مد نظر است معمولا نزدیک تر کردن دو دمای محیط و پیوند به یکدیگر است .

در یک مدار معکوس کننده ، میزان جریانی که از منبع تغذیه کشیده می شود ضربدر ولتاژ آن به عنوان توان مصرفی DCآن تعریف می شود .

$$P_{DC}=V_{DD} \cdot I_{DC}$$

توجه کنید که این رابطه در حالت پایدار استفاده شده و افزایش جریانهای زیر آستانه ، سبب مصرف بیشتر توان در این حالت خواهد شد . بعلاوه جریان IDCمی تواند به ولتاژهای ورودی و خروجی وابسته باشد .مثلا اگر در یک زمان Tمصرف توان مد نظر باشد و در طول این زمان معادل ۰≤ a≤100درصد خروجی "۱" منطقی و b=100-aدرصد خروجی "۰" منطقی باشد، آنگاه مصرف توان کل DCتقریبا برابر است با :

$$P_{DC}=VDD[\frac{a}{100} I_{DC}|_{V=high}+\frac{100-a}{100} I_{DC}|_{V=low}]$$

هرگز دل من ز علم محروم نشد
کم ماند ز اسرار که معلوم نشد
هفتاد و دو سال فکر کردم شب و روز
معلومم شد که هیچ معلوم نشد
(خیام)

شاد و پیروز باشید